

## II-VI COMPOUND SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

**Patent number:** JP9199801

**Publication date:** 1997-07-31

**Inventor:** KURAMOTO MASARU; IWATA HIROSHI

**Applicant:** NIPPON ELECTRIC CO

**Classification:**

- international: C30B29/48; H01L21/203; H01L21/322; H01L21/338; H01L21/363; H01L29/778; H01L29/812; H01L33/00; C30B29/10; H01L21/02; H01L29/66; H01L33/00; (IPC1-7): H01S3/18; C30B29/48; H01L21/203; H01L21/338; H01L21/363; H01L29/778; H01L29/812; H01L33/00

- european:

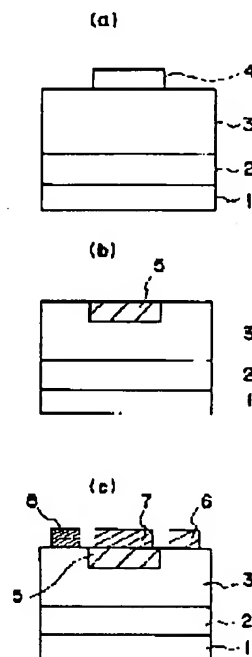
**Application number:** JP19960007374 19960119

**Priority number(s):** JP19960007374 19960119

[Report a data error here](#)

### Abstract of JP9199801

**PROBLEM TO BE SOLVED:** To provide a manufacturing method with which a II-IV compound semiconductor device, having a high resistance layer of current constriction structure containing a II-IV compound semiconductor with which constriction of current can be measured, can be manufactured at a small number of processes. **SOLUTION:** In this MISFET, after an i-ZnSe layer 2 and an n-ZnSe layer 3 have been grown successively on an i-GaAs substrate 1 by an MBE method, Cu is vacuum-deposited on the n-ZnSe layer 3, and a Cu layer 4 of specific width is formed using photolithographic technique. Then, a high resistance layer 5 is buried in the n-ZnSe layer 3 by annealing a wafer at 200 deg.C in a nitrogen atmosphere as a high resistance layer forming process and by diffusing the Cu layer 4 on then-ZnSe layer 3. Besides, as a circuit forming process, a drain electrode 6, a gate electrode 7 and a source electrode 8 are formed on the n-ZnSe layer 3, including the surface of the high resistance layer 5.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-199801

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 S 3/18			H 0 1 S 3/18	
C 3 0 B 29/48			C 3 0 B 29/48	
H 0 1 L 21/203			H 0 1 L 21/203	M
21/363			21/363	
29/778			33/00	D
審査請求 有 請求項の数 4 O L (全 5 頁) 最終頁に続く				

(21) 出願番号 特願平8-7374

(22) 出願日 平成8年(1996)1月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 倉本 大

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 岩田 普

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 後藤 洋介 (外2名)

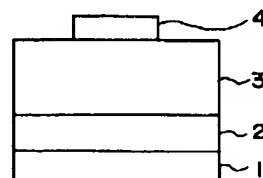
(54) 【発明の名称】 II-VI族半導体デバイス及びその製造方法

(57) 【要約】

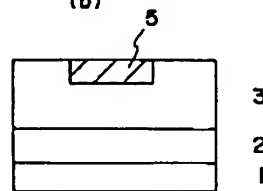
【課題】 電流の狭窄を十分に計り得るII-VI族半導体を含む電流狭窄構造の高抵抗層を有するII-VI族半導体デバイスを少ない工程数で簡便に作製し得る製造方法を提供すること。

【解決手段】 このMISFETは、MBE法でi-GaAs基板1上にi-ZnSe層2、n-ZnSe層3をこの順で成長させた後、真空蒸着でn-ZnSe層3上にCuを蒸着してからフォトリソグラフィ技術により特定幅のCu層4を形成し、次に高抵抗層形成工程として、このウェハを窒素雰囲気中200℃の温度条件下でアニールすることにより、n-ZnSe層3上にあったCu層4を拡散させてn-ZnSe層3中に高抵抗層5を埋設形成し、更に回路形成工程として高抵抗層5上を含むn-ZnSe層3上に金を蒸着してドレイン電極6、ゲート電極7、及びソース電極8を形成することによって作製される。

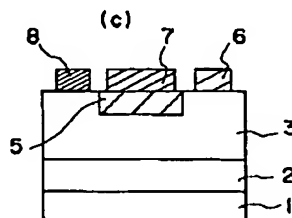
(a)



(b)



(c)



## 【特許請求の範囲】

【請求項1】 II-VI族半導体及びIB金属であるCu, Ag, Auのうちの少なくとも一つが接触・合金化されて成る高抵抗層を有して所用の回路として作製されたことを特徴とするII-VI族半導体デバイス。

【請求項2】 請求項1記載のII-VI族半導体デバイスに属される半導体レーザであって、前記高抵抗層が電流狭窄構造を成すように設けられたことを特徴とする半導体レーザ。

【請求項3】 II-VI族半導体結晶にIB金属であるCu, Ag, Auのうちの少なくとも一つを接触・合金化して高抵抗層を形成してII-VI族半導体デバイスと成す高抵抗層形成工程と、前記II-VI族半導体デバイスに所用の回路を電極形成により設ける回路形成工程とを含むことを特徴とするII-VI族半導体デバイスの製造方法。

【請求項4】 請求項3記載のII-VI族半導体デバイスの製造方法の適用により得られる半導体レーザの製造方法であって、前記高抵抗層形成工程では、前記高抵抗層を電流狭窄構造を成すように形成することを特徴とする半導体レーザの製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、主として半導体レーザ、光検出素子、MISFET、HEMT等として適用されると共に、IB金属及びII-VI族半導体から成る高抵抗層を有するII-VI族半導体デバイス及びその製造方法に関する。

【0002】

【従来の技術】従来、この種のII-VI族半導体デバイスの一例である半導体レーザにおける電流狭窄構造に関連する技術としては、例えば1991年刊行の[APPLIED PHYSICS LETTER/第59巻の1272頁]に記載されているように、半導体素材にポリイミドを用いて利得導波型レーザを構成したものが挙げられる。又、その他の関連技術としては、1994年刊行の[ELECTRONICS LETTERS/第30巻の568頁]や同年刊行の[APPLIED PHYSICS LETTER/第63巻の2315頁]に記載されているように、キャップ層やクラッド層をストライプ状にエッチング除去し、そこに高抵抗材料やZnSを埋め込んで電流狭窄構造を形成することによって埋め込み型半導体レーザを構成したものが挙げられる。

【0003】因みに、半導体レーザに関連する構造的技術の別例としては、例えば特開昭63-166284号公報に開示された半導体レーザ装置及びその製造方法等が挙げられる。

【0004】

【発明が解決しようとする課題】上述した利得導波型レーザの場合、活性層付近で電流が広がるため、電流狭窄構造として電流の狭窄を十分に計り得ないという問題が

ある。

【0005】又、埋め込み型半導体レーザの場合には、半導体レーザ部をエッチングして埋め込むため、工程数が多くなる上、マスクの正確な目合わせが必要であり、量産化が難しいという問題がある。

【0006】本発明は、このような問題点を解決すべくなされたもので、その技術的課題は、電流の狭窄を十分に計り得るII-VI族半導体を含む電流狭窄構造の高抵抗層を有するII-VI族半導体デバイスとそれを少ない工程数で簡便に作製し得る製造方法とを提供することにある。

【0007】

【課題を解決するための手段】本発明によれば、II-VI族半導体及びIB金属であるCu, Ag, Auのうちの少なくとも一つが接触・合金化されて成る高抵抗層を有して所用の回路として作製されたII-VI族半導体デバイスが得られる。

【0008】又、本発明によれば、上記II-VI族半導体デバイスに属される半導体レーザであって、高抵抗層が電流狭窄構造を成すように設けられた半導体レーザが得られる。

【0009】一方、本発明によれば、II-VI族半導体結晶にIB金属であるCu, Ag, Auのうちの少なくとも一つを接触・合金化して高抵抗層を形成してII-VI族半導体デバイスと成す高抵抗層形成工程と、II-VI族半導体デバイスに所用の回路を電極形成により設ける回路形成工程とを含むII-VI族半導体デバイスの製造方法が得られる。

【0010】更に、本発明によれば、II-VI族半導体デバイスの製造方法の適用により得られる半導体レーザの製造方法であって、高抵抗層形成工程では、高抵抗層を電流狭窄構造を成すように形成する半導体レーザの製造方法が得られる。

【0011】

【作用】一般にII-VI族半導体結晶及びIB金属(Cu, Ag, Au)は反応性に富み、低温の熱処理で容易に合金化する。本発明のII-VI族半導体デバイスが有する合金化された高抵抗層には、多数の格子欠陥が形成されるために高抵抗となる。この高抵抗層が形成される領域は、IB金属が拡散される領域に限られるため、IB金属をパターン形成することによって任意のパターンで高抵抗層領域を形成できる。IB金属のII-VI族半導体に対する反応性は、Cuが最も強く、Ag, Auの順で小さくなるため、II-VI族半導体デバイスとしての種類及びその製造工程で必要とされる温度に適じてCu, Ag, Auの使い分けができる。

【0012】

【発明の実施の形態】以下に実施例を挙げ、本発明のII-VI族半導体デバイス及びその製造方法について、図面を参照して詳細に説明する。

【0013】最初に、本発明のII-VI族半導体デバイスの概要について簡単に説明する。このII-VI族半導体デバイスは、II-VI族半導体及びIB金属であるCu, Ag, Auのうちの少なくとも一つが接触・合金化されて成る高抵抗層を有して所用の回路として作製されたものである。ここでのII-VI族半導体デバイスの一例として半導体レーザが挙げられるが、半導体レーザでは高抵抗層が電流狭窄構造を成すように設けられたものとなる。

【0014】このようなII-VI族半導体デバイスを製造する場合、その製造方法としては、II-VI族半導体結晶にIB金属であるCu, Ag, Auのうちの少なくとも一つを接触・合金化して高抵抗層を形成してII-VI族半導体デバイスと成す高抵抗層形成工程と、II-VI族半導体デバイスに所用の回路を電極形成により設ける回路形成工程とを実施すれば良い。又、特にII-VI族半導体デバイスとして半導体レーザを製造する場合、その製造方法としては、高抵抗層形成工程で高抵抗層を電流狭窄構造を成すように形成すれば良い。

【0015】そこで、以下は幾つかの実施例を挙げ、II-VI族半導体デバイスの製造方法を具体的に説明する。

【0016】〔実施例1〕実施例1では、II-VI族半導体デバイスとして電子デバイスであるMISFETを製造した。図1は、本発明の実施例1に係る電子デバイスであるMISFETの製造方法を説明するために示したもので、同図(a)はその製造工程の前期工程における側面断面図に関するもの、同図(b)はその製造工程の中期工程における側面断面図に関するもの、同図(c)はその製造工程の後期工程における側面断面図に関するものである。

【0017】ここでは、先ず図1(a)に示されるように、MBE法によりi-GaAs基板1上に厚さ2 $\mu$ mのi-ZnSe層2と、厚さ200nmのn-ZnSe層3とをこの順でエピタキシャル成長させて設けた後、真空蒸着によりn-ZnSe層3上に厚さ30nmのCuを蒸着してからフォトリソグラフィ技術により幅1.5 $\mu$ mのCu層4を形成した。

【0018】次に、高抵抗層形成工程として、このウェハを窒素雰囲気中200℃の温度条件下でアニールすることにより、n-ZnSe層3上にあったCu層4を拡散させ、図1(b)に示されるように、n-ZnSe層3中に高抵抗層5を埋設形成した。

【0019】更に、回路形成工程として、高抵抗層5上を含むn-ZnSe層3上に金を蒸着して図1(c)に示されるように、ドレイン電極6、ゲート電極7、及びソース電極8を形成してMISFETを作製した。

【0020】このMISFETでは、ドレイン電極6及びソース電極8の間に電圧を印加すると電流が流れ、ゲート電極7の電圧が変化されることにより、その電流変化によるFET動作が得られる。

【0021】尚、この実施例1では、電子デバイスとし

てMISFETを作製する場合を説明したが、HEMT等の半導体デバイスであっても同様に作製できる。又、実施例1では、各層を成す半導体素材としてZnSeを用いた場合を説明したが、これに代えて例えばZnSSe, MgZnSSe等を用いたり、或いはInP基板上に対してZnCdSe等を用いて層構成するようにしても良い。更に、実施例1ではIB金属材料としてCuを用いた場合を説明したが、これに限らず更にAg, Auの少なくとも一つを加えて合金化したり、或いはCuにAg, Auを代用しても良い。

【0022】〔実施例2〕実施例2では、II-VI族半導体デバイスとして光検出素子を製造した。図2は、本発明の実施例2に係る光検出素子の製造方法を説明するために示したもので、同図(a)はその製造工程の前期工程における側面断面図に関するもの、同図(b)はその製造工程の中期工程における側面断面図に関するもの、同図(c)はその製造工程の後期工程における側面断面図に関するものである。

【0023】ここでは、先ず図2(a)に示されるように、MBE法によりp-GaAs基板9上にキャリア密度が $1 \times 10^{18}/\text{cm}^3$ で厚さが1 $\mu$ mのp-ZnSe層10と、キャリア密度が $5 \times 10^{15}/\text{cm}^3$ で厚さが3 $\mu$ mのp-ZnSe層11と、キャリア密度が $1 \times 10^{18}/\text{cm}^3$ で厚さが1 $\mu$ mのn-ZnSe層12とをこの順でエピタキシャル成長させて設けた後、真空蒸着法によりn-ZnSe層12上にAgを蒸着してからフォトリソグラフィ技術により内径300 $\mu$ mの窓を有するAg層13をパターン形成した。

【0024】次に、高抵抗層形成工程として、このウェハを窒素雰囲気中350℃の温度条件下でアニールすることにより、n-ZnSe層12上にあったAg層13を拡散させ、図2(b)に示されるように、n-ZnSe層12中に高抵抗層14を埋設形成した。

【0025】更に、図2(c)に示されるように、回路形成工程として、高抵抗層14上を含むn-ZnSe層12上には内径250 $\mu$ mの窓を有するAu電極15を、p-GaAs基板9の裏面上にはAuGe電極16をそれぞれ形成して光検出素子を作製した。

【0026】この光検出素子では、逆バイアス電圧を印加して光を入力すると電流が容易に流れ、暗電流の少ない光検出素子が得られる。

【0027】尚、この実施例2では、各層を成す半導体素材としてZnSeを用いた場合を説明したが、これに代えてZnSSe, MgZnSSe等を用いたり、或いはInP基板上に対してZnCdSe等を用いて層構成するようにしても良い。又、IB金属材料としてAgを用いた場合を説明したが、これに限らず更にCu, Auの少なくとも一つを加えて合金化したり、或いはAgにCu, Auを代用しても良い。

【0028】〔実施例3〕実施例3では、II-VI族半導

体デバイスとして半導体レーザを製造した。図3は、本発明の実施例3に係る半導体レーザの製造方法を説明するために示したもので、同図(a)はその製造工程の前期工程における側面断面図に関するもの、同図(b)はその製造工程の後期工程における側面断面図に関するものである。

【0029】ここでは、先ず図3(a)に示されるように、MBE法によりn-GaAs基板17上に塩素濃度が $5 \times 10^{17}$ で厚さが $1.5 \mu\text{m}$ の塩素ドーパZnO.92MgO.08S0.12Se0.88から成るn型クラッド層18と、厚さが $0.1 \mu\text{m}$ のZnSeから成る活性層19と、窒素濃度が $1 \times 10^{17}$ で厚さが $1 \mu\text{m}$ の窒素ドーパZnO.92MgO.08S0.12Se0.88から成るp型クラッド層20と、窒素濃度が $1 \times 10^{18}$ で厚さが $0.05 \mu\text{m}$ の窒素ドーパZnSeTeから成るコンタクト層21とをこの順でエピタキシャル成長させて設けた後、真空蒸着法によりコンタクト層21上に厚さ200nmのCuを蒸着してからストライプ状にエッチングしてCu層22をパターン形成し、更にCu層22を含むコンタクト層21上にAuを蒸着してAu電極23を形成した。

【0030】次に、高抵抗層形成工程として、このウェハを窒素雰囲気中200℃の温度条件下でアニールすることにより、コンタクト層21上にあったCu層22をコンタクト層21中及びp型クラッド層20中に拡散させて高抵抗化し、図3(b)に示されるように、コンタクト層21中及びp型クラッド層20中には高抵抗層24を電流狭窄構造を成すように埋設形成した。又、このときに平行して回路形成工程として、n-GaAs基板17の裏面上にはInを蒸着してIn電極25を形成して半導体レーザを作製した。

【0031】この半導体レーザでは、電流の供給に際して電流20mAで発振し、横モードを制御したレーザ光が得られる。

【0032】因みに、温度条件200℃のアニールではCu層22のみが拡散してAu電極23は拡散しないため、Cu層22に接した領域のみが高抵抗となる。又、Au電極23の形成にはマスクの目合わせは必要なく、容易にして簡便に半導体レーザが得られる。更に、高抵抗層24の深さは蒸着するCu層22の厚さにより制御することができる。

【0033】尚、この実施例3では、レーザ材料としてZnMgSSe系のものを用いた場合を説明したが、これに限らずZnMgCdSe系等の他のII-VI族半導体材料系のものを用いても良い。又、実施例3では、基板としてn型GaAsを用いた場合を説明したが、p型GaAs基板を用いたレーザやZnSe基板等の他の材料による基板を用いても良い。更に、IB金属材料としてCuを用いると共に、電極材料にAuを用いた場合を説明したが、これに限らず更にCuやAuに対して他のI

B金属(CuではAgやAuであり、AuではCuやAg)の少なくとも一つを加えて合金化したり、或いはCuやAuにそれぞれ他のIB金属(CuではAgやAuであり、AuではCuやAg)を代用しても良い。

【0034】

【発明の効果】以上に述べた通り、本発明によれば、電流の狭窄を十分に計り得るII-VI族半導体を含む電流狭窄構造の高抵抗層を有するII-VI族半導体デバイスを少ない工程数で簡便に作製し得るようになる。特に、II-VI族半導体デバイスとして半導体レーザを製造する場合には、電極形成にマスクの目合わせが不要となる上、高抵抗層の深さを蒸着するIB金属層の厚さで制御できるため、容易にして簡便に作製可能になる。

【図面の簡単な説明】

【図1】本発明の実施例1に係る電子デバイスであるMISFETの製造方法を説明するために示したもので、(a)はその製造工程の前期工程における側面断面図に関するもの、(b)はその製造工程の中期工程における側面断面図に関するもの、(c)はその製造工程の後期工程における側面断面図に関するものである。

【図2】本発明の実施例2に係る光検出素子の製造方法を説明するために示したもので、(a)はその製造工程の前期工程における側面断面図に関するもの、(b)はその製造工程の中期工程における側面断面図に関するもの、(c)はその製造工程の後期工程における側面断面図に関するものである。

【図3】本発明の実施例3に係る半導体レーザの製造方法を説明するために示したもので、(a)はその製造工程の前期工程における側面断面図に関するもの、(b)はその製造工程の後期工程における側面断面図に関するものである。

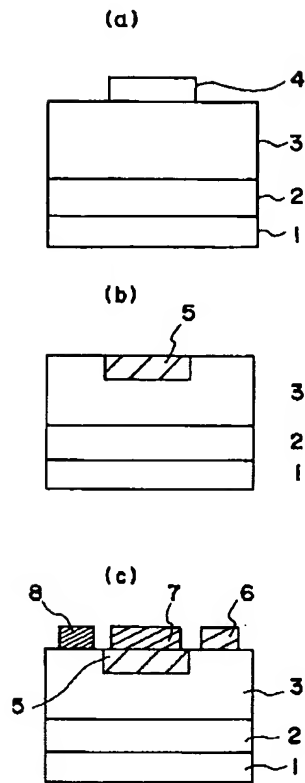
【符号の説明】

- 1 i-GaAs基板
- 2 i-ZnSe層
- 3, 12 n-ZnSe層
- 4, 22 Cu層
- 5, 14, 24 高抵抗層
- 6 ドレイン電極
- 7 ゲート電極
- 8 ソース電極
- 9 p-GaAs基板
- 10 p-ZnSe層
- 11 p<sup>-</sup>-ZnSe層
- 13 Ag層
- 15, 23 Au電極
- 16 AuGe電極
- 17 n-GaAs基板
- 18 nクラッド層
- 19 活性層
- 20 pクラッド層

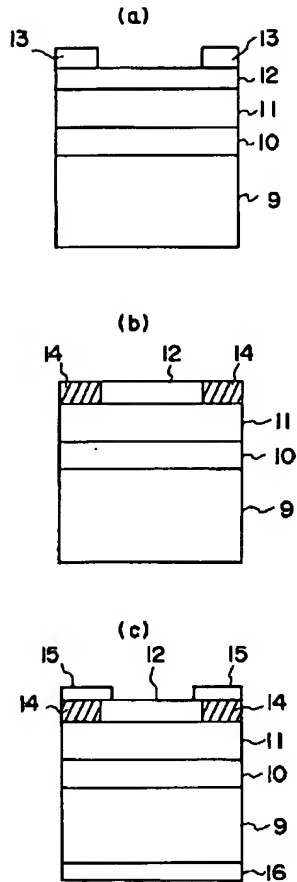
21 pコンタクト層

25 In電極

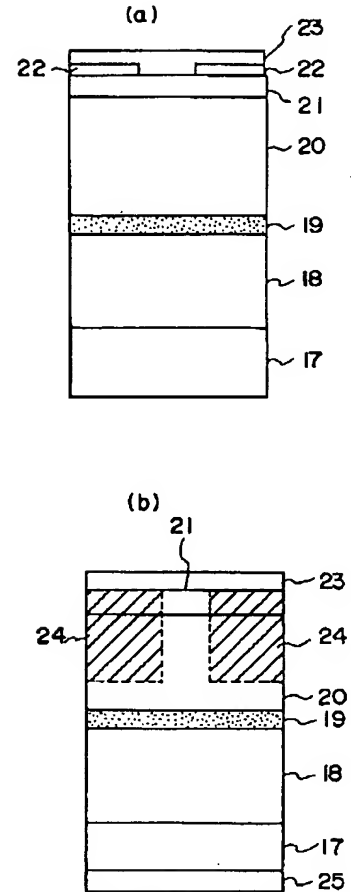
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H01L 21/338  
29/812  
33/00

識別記号

庁内整理番号

9447-4M

FI

H01L 29/80

技術表示箇所

H